

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-105792

(43)Date of publication of application : 18.04.1990

(51)Int.Cl.

H04N 7/133

(21)Application number : 63-257323

(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing : 14.10.1988

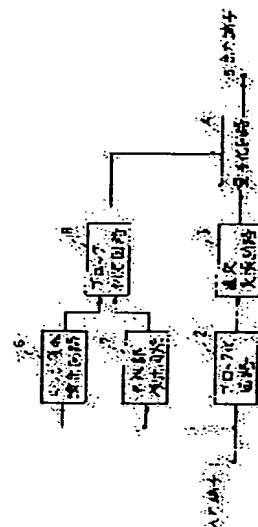
(72)Inventor : YASHIMA YOSHIYUKI
KAMIKURA KAZUTO

(54) ORTHOGONAL TRANSFORM COEFFICIENT QUANTIZATION CIRCUIT

(57)Abstract:

PURPOSE: To reduce noise and to improve the picture quality of decoded pictures by finely quantizing an orthogonal transform coefficient in a block where an edge area and flat area coexist.

CONSTITUTION: Picture signals are divided into small blocks of $N \times N$ by means of a blocking circuit 2 and orthogonally transformed at an orthogonal transform circuit. At a block decision circuit 8, on the other hand, whether or not a block is an edge area/flat area coexisting block is decided from outputs of an edge area and flat section detection circuits 6 and 7. A quantization circuit 4 selects a quantizer to be applied to an orthogonal conversion coefficient from the circuit 3 based on a decided result of the circuit 8 in such a way that a quantizer which finely quantizes the coefficient can be selected to a block where the edge and flat areas coexist. Therefore, noise produced in the flat area can be eliminated and the picture quality of decoded pictures can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-105792

⑬ Int.Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)4月18日

H 04 N 7/133

Z

6957-5C

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 直交変換係数量子化回路

⑯ 特 願 昭63-257323

⑰ 出 願 昭63(1988)10月14日

⑱ 発 明 者 八 島 由 幸 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発 明 者 上 倉 一 人 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉑ 代 理 人 弁理士 谷 義 一

明 細 書

数を他のブロックよりも細く量子化するように前記量子化手段の量子化間隔を制御する手段とを具えたことを特徴とする直交変換係数量子化回路。

1. 発明の名称

直交変換係数量子化回路

(以下余白)

2. 特許請求の範囲

1) 画像信号を $N \times N$ (N : 整数) のブロックに分割する分割手段と、該分割手段によって得られた各ブロックの信号ごとに離散直交変換を行なって変換係数を得る直交変換手段と、該直交変換手段によって得られた変換係数を量子化間隔を変更可能に量子化する量子化手段と、前記画像信号のエッジ領域を検出するエッジ領域検出手段と、前記画像信号の平坦領域を検出する平坦領域検出手段と、前記エッジ領域検出手段の検出結果および前記平坦領域検出手段の検出結果に基づいてエッジ領域と平坦領域とが混在するブロックを抽出するエッジ領域/平坦領域混在ブロック抽出手段と、該抽出手段の抽出結果に基づいてエッジ領域と平坦領域とが混在するブロックについて変換係

3. 発明の詳細な説明

[産業上の利用分野]

本発明は直交変換符号化により画像を符号化して伝送するための量子化回路に関するものである。

[従来の技術]

原信号を直交変換してその変換係数を量子化して伝送する直交変換符号化は、その高い符号化効率からよく用いられている。画像信号に対して適用する場合には、まず画像を $N \times N$ (N : 整数) の小ブロックに分割し、各ブロックで直交変換をほどこし $N \times N$ の周波数領域の係数に変換し、この係数を量子化する。

[発明が解決しようとする課題]

上述の量子化をどのブロックに対しても同じように粗くしていくと、エッジを含むブロックでは、量子化された係数を逆変換して得られる復号画像においてエッジの周辺に誤差が拡散し雑音と

段の検出結果および平坦領域検出手段の検出結果に基づいてエッジ領域と平坦領域とが混在するブロックを抽出するエッジ領域／平坦領域混在ブロック抽出手段と、抽出手段の抽出結果に基づいてエッジ領域と平坦領域とが混在するブロックについて変換係数を他のブロックよりも細く量子化するように量子化手段の量子化間隔を制御する手段とを具える。

[作 用]

本発明によればエッジ領域と平坦領域が混在するブロックでは直交変換係数を細かく量子化することにより、雑音を低減し、復号画像の画質を向上させることができる。

[実施例]

以下、図面を参照して本発明の実施例を詳細に説明する。

第1図は本発明の第1の実施例を示しており、1の入力端子から入力された画像信号は、ブロッ

なる。この雑音がめだって検知されるのはブロック内にかなり強いエッジと平坦な部分が混在する場合の平坦な領域であり、たとえば人物と背景の境界のような部分に発生し、復号画像の品質を劣化させる大きな要因となっていた。

本発明の目的は先に示した従来技術の問題点を解決し、復号画像の画質を向上させることができる直交変換係数量子化回路を提供することにある。

[課題を解決するための手段]

上記目的を達成するために、本発明は、画像信号を $N \times N$ (N : 整数) のブロックに分割する分割手段と、分割手段によって得られた各ブロックの信号ごとに離散直交変換を行なって変換係数を得る直交変換手段と、直交変換手段によって得られた変換係数を量子化間隔を変更可能に量子化する量子化手段と、画像信号のエッジ領域を検出するエッジ領域検出手段と、画像信号の平坦領域を検出する平坦領域検出手段と、エッジ領域検出手

ク回路2によって $N \times N$ の小ブロックに分割され、直交変換回路3で直交変換される。直交変換回路3の出力である直交変換係数は複数の量子化器を持つ量子化回路4(の選択された量子化器)で量子化されその量子化値が出力端子5に送られる。一方、エッジ領域検出回路6ではラプラシアンに代表されるエッジ検出オペレータを用いて入力端子1からの画像信号のエッジ検出が行われる。また平坦領域検出回路7では入力端子1からの画像信号のある画素が平坦領域であるかどうかの判定がなされる。ブロック判定回路8においては、エッジ領域検出回路6の出力および平坦領域検出回路7の出力からそのブロックがエッジ領域／平坦領域混在ブロックか否かの判定がなされる。判定結果は量子化係数値とともに受信側(出力端子5)に送られる。

量子化回路4は、ブロック判定回路8の判定結果に基づいて直交変換回路3からの直交変換係数に適用する量子化器を選択する。すなわち、ブロック全体が平坦であるとき、あるいはブロック

全体が複雑な構造であるときは前記のような雑音は発生しないかあるいは発生しても検知しにくいので、直交変換係数の量子化を粗くするような量子化器を選択し、エッジと平坦部が混在するブロックでは平坦部に雑音が発生するのを防ぐために直交変換係数の量子化を細かくするような量子化器を選択する。これにより効率的な情報配分が可能となる。

なお本方式は1フレーム前の画素値と現在のフレームの画素値のフレーム間差分信号に対して直交変換を施すような場合にも適用できることは明らかである。

第2図は本発明の第2の実施例を示す。31は直交変換手段としての離散コサイン変換回路であって、直交変換として効率の良い離散コサイン変換を用いている。9は入力端子1からの画素手段を入力する高域通過フィルタであり、第3図において画素 x のフィルタ出力値 x' は、

$$x' = 4x - (a+b+c+d)$$

で与えられる。フィルタ9からの x' のしきい値

点線で囲まれた部分100がエッジ領域/平坦領域混在ブロックの検出部であり、計数回路17で比較器16出力に基づいてブロック内の $B_L=1$ の画素の数 N_L をカウントする。計数回路17からの N_L をしきい値設定回路18で設定されるしきい値 $Th3$ と比較器19において比較し、比較器出力 B_M として、

$$N_L \leq Th3 \text{ のとき } B_M = 1$$

$$N_L < Th3 \text{ のとき } B_M = 0$$

を得る。一般的にブロック内に平坦部分が多い場合 $B_M=1$ となる。ブロック判定回路20においては、 $B_M=1$ のブロックについて、 $B_M=1$ の画素が1つでもあれば、そのブロックはエッジ領域/平坦領域混在ブロックとみなし、量子化回路4に対して離散コサイン変換回路31の出力の直交変換係数の量子化器としてデッドゾーンおよびステップサイズの細かいものを選択し、そうでない時には粗いものを選択するような制御を行う。

第4図は本発明の第3の実施例を示す。この例では、エッジ領域/平坦領域の混在ブロックを次

設定回路10で設定されるしきい値 $Th1$ と比較器11において比較され、比較器出力 B_N として、

$$x' \geq Th1 \text{ のとき } B_N = 1$$

$$x' < Th1 \text{ のとき } B_N = 0$$

を得る。一般的にある画素がエッジ領域の画素である場合 $B_N=1$ となる。一方入力端子1からの画素信号を入力する低域通過フィルタ12では画素 x のフィルタ出力 x'' として、

$$x'' = (4x + a + b + c + d) / 8$$

が計算され、減算器13においてフィルタリング前の値 x との差分 Δx が計算される。

$$\Delta x = x - x''$$

減算器13出力が入力される絶対値回路14で絶対値 $|\Delta x|$ がとられた後しきい値設定回路15で設定されるしきい値 $Th2$ と比較器16において比較され、比較器出力 B_L として、

$$|\Delta x| < Th2 \text{ のとき } B_L = 1$$

$$|\Delta x| \geq Th2 \text{ のとき } B_L = 0$$

を得る。一般的にある画素が平坦領域の画素である場合 $B_L=1$ となる。

のようにして検出する。

まずサブブロック化回路21において、入力端子1からの画素を $M \times M$ (M : 整数)のサブブロックに分割する。このサブブロックは第5図に示すように、直交変換で用いるブロックのサブブロックになるように選ばれる。例えば $N=8$ 、 $M=4$ とした場合には、直交変換ブロックは第5図に示すように4つのサブブロックに分割されることになる。一般にサブブロックの個数 S は、

$$S = (N/M)^2$$

となる。1つの直交変換ブロック内の各サブブロックに対して、分散計算回路22において分散値が計算され、各分散値 σ_i^2 ($i=1, 2, \dots, S$) がしきい値回路23で設定されるしきい値 Th_s と比較器24で比較される。比較器出力 C は、

$$C_{i-1}: \sigma_i^2 \leq Th_s$$

$$C_{i-0}: \sigma_i^2 < Th_s$$

$$(i=1, 2, \dots, S)$$

で定められる。一般にサブブロック内にエッジ成分があると分散値が大きいので C_{i-1} となり、サブ

ブロック内が平坦であると $C_i=0$ となる。この C_i を用いてブロック判定回路25では、量子化対象となる直交変換ブロックがエッジ領域／平坦領域混在ブロックかどうかを決定するパラメータ C が次のように設定される。

$$C=C_1 \oplus C_2 \oplus C_3 \oplus \dots \oplus C_s$$

ここで \oplus は排他的論理和である。すなわち $C_1 \sim C_s$ がすべて1かあるいはすべて0である場合のみ $C=0$ となり、その他の時は $C=1$ となる。 $C=1$ となるのはそのブロック内にエッジ成分を持つサブブロックと、平坦なサブブロックが同時に存在するわけであるから、エッジ領域／平坦領域混在ブロックとみなすことができる。従って、ブロック判定回路25においては、 $C=1$ であれば、そのブロックはエッジ領域／平坦領域混在ブロックとみなし、量子化回路4に対して対応するブロックの直交変換係数の量子化器としてデッドゾーンおよびステップサイズの細かいものを選択し、そうでない時には粗いものを選択するような制御を行うことにより、エッジの周辺の平坦領域

に拡散される誤差を低減できる。

[発明の効果]

以上説明したように、本発明を用いれば直交変換符号化において、ブロック内にかなり強いエッジと平坦な部分が混在する場合に平坦な領域で発生する雑音を効率的に取り除くことができ、復号画像の画質を向上することができる。

4. 図面の簡単な説明

第1図は本発明の第1の実施例を示すブロック図、

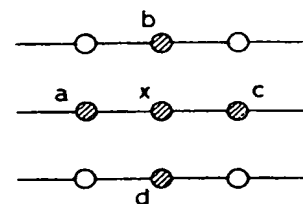
第2図は本発明の第2の実施例のブロック図、

第3図は高域通過フィルタおよび低域通過フィルタに用いる画素を説明する図、

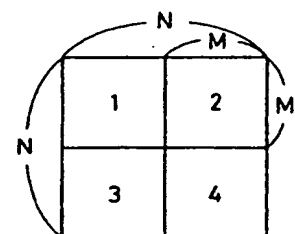
第4図は本発明の第3の実施例のブロック図、

第5図は直交変換ブロックとサブブロックの関係を示す図である。

- 1 … 入力端子、
- 2 … ブロック化回路、
- 3 … 直交変換回路、
- 4 … 量子化回路、
- 5 … 出力端子、
- 6 … エッジ領域検出回路、
- 7 … 平坦部検出回路、
- 8 … ブロック判定回路。



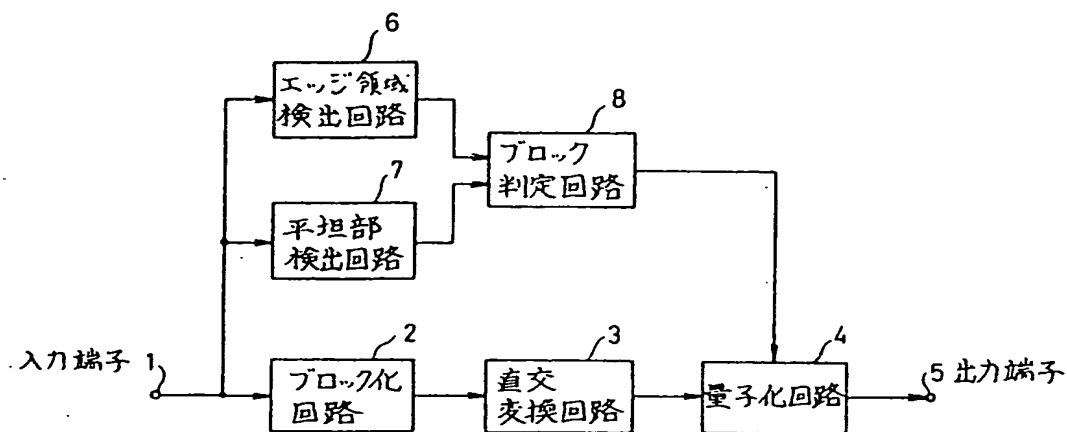
第3図



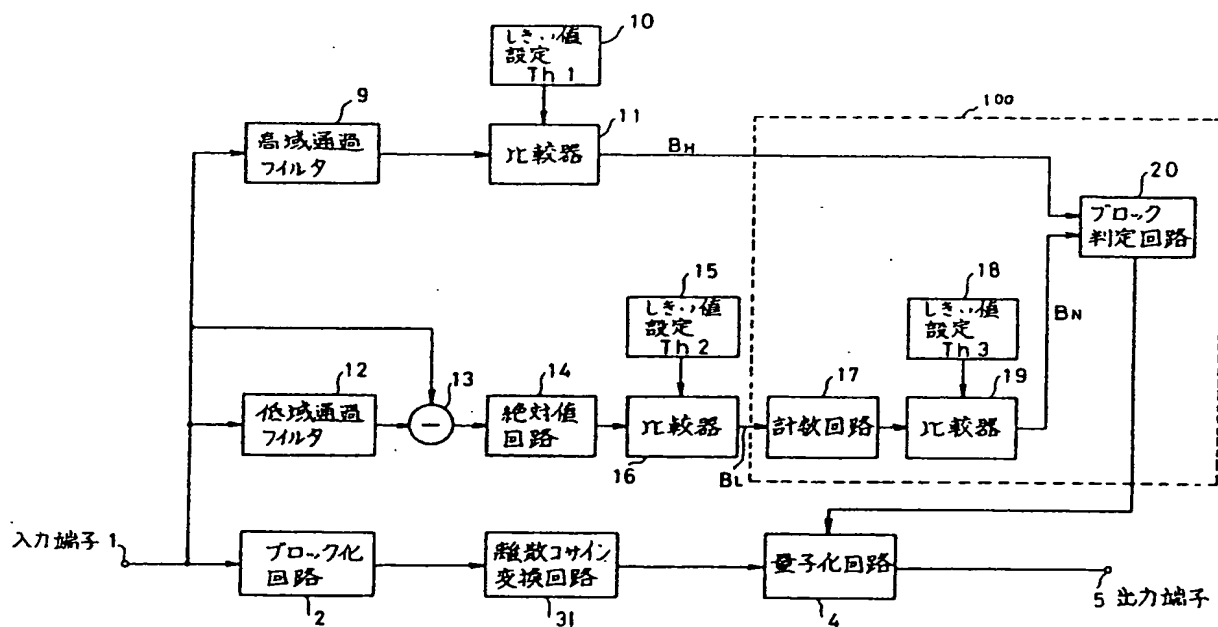
第5図

特許出願人 日本電信電話株式会社

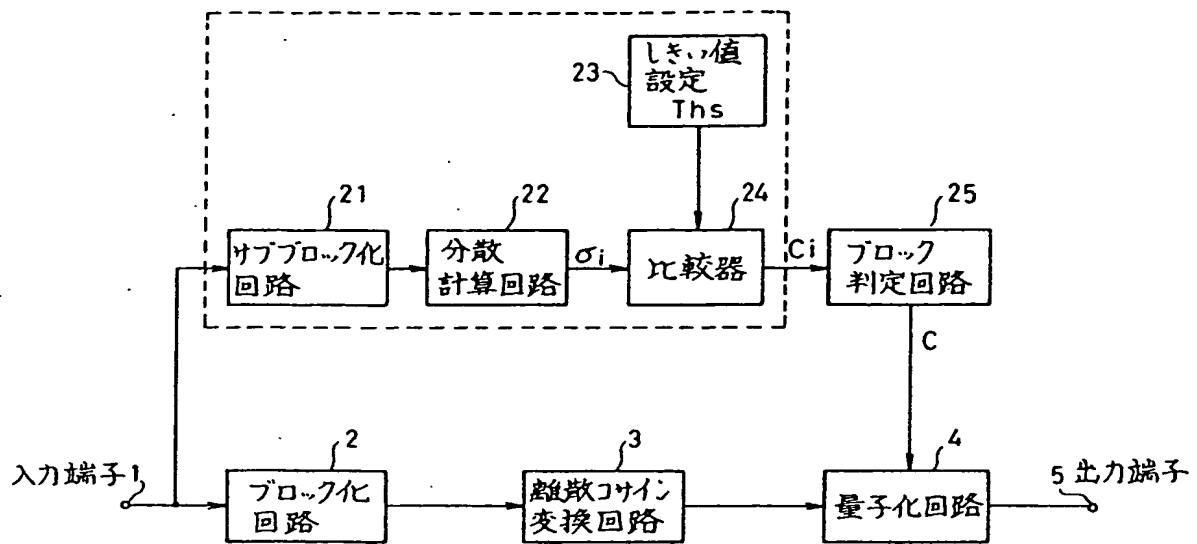
代理人 弁理士 谷 義 一



第 1 図



第 2 図



第 4 図